

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-338638
 (43)Date of publication of application : 28.11.2003

(51)Int.CI.

H01L 33/00
H01S 5/02

(21)Application number : 2003-137162

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 05.06.1992

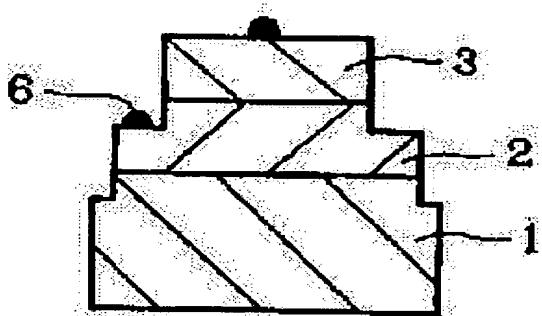
(72)Inventor : IWASA SHIGETO
NAGAHAMA SHINICHI
NAKAMURA SHUJI

(54) MANUFACTURING METHOD OF GALLIUM-NITRIDE-BASED COMPOUND SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a gallium-nitride-based compound semiconductor chip that has superior light generation performance and can be cut in a desired shape and size with a satisfactory yield.

SOLUTION: There are first and second surfaces other than the upper surface of a p-type gallium-nitride-based compound semiconductor layer; the first surface is formed by etching the p-type gallium-nitride-based compound semiconductor layer positioned outside the upper surface of the p-type gallium-nitride-based compound semiconductor layer to an n-type gallium-nitride-based semiconductor layer; and the second surface is formed by etching or dicing the n-type gallium-nitride-based semiconductor layer positioned outside the first surface so that the surface of the substrate is exposed.



LEGAL STATUS

[Date of request for examination] 15.05.2003

[Date of sending the examiner's decision of rejection] 13.12.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2006-00848

[Date of requesting appeal against examiner's decision of rejection] 12.01.2006

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which is the approach of separating the wafer with which the laminating of the gallium nitride system compound semiconductor layer of n mold and p mold was carried out to order in the shape of a chip on silicon on sapphire, and grinds said silicon on sapphire to the thickness of 50–300 micrometers, The process at which the front face of said silicon on sapphire is exposed by etching said gallium nitride system compound semiconductor layer, The manufacture approach of a gallium nitride system compound semiconductor chip including the process which forms a scribe line at the front face of said exposed silicon on sapphire in 5% or more of depth of the thickness of said silicon on sapphire, and the process divided into each chip in said scribe line.

[Claim 2] Said scribe line is the manufacture approach of the gallium nitride system compound semiconductor chip according to claim 1 formed by carrying out a scribe twice.

[Claim 3] The process which is the approach of separating the wafer with which the laminating of the gallium nitride system compound semiconductor layer of n mold and p mold was carried out to order in the shape of a chip on silicon on sapphire, and grinds said silicon on sapphire to the thickness of 50–300 micrometers, The process at which the front face of said silicon on sapphire is exposed by etching said gallium nitride system compound semiconductor layer, The manufacture approach of a gallium nitride system compound semiconductor chip including the process separated by carrying out the dicing of said silicon on sapphire in the front face of said exposed silicon on sapphire.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the gallium nitride system compound semiconductor chip used for luminescence devices, such as a blue light emitting diode and a blue laser diode, and it relates to the gallium nitride system compound semiconductor chip separated in the shape of a chip, without spoiling the crystallinity of the gallium nitride system compound semiconductor by which the laminating was especially carried out on silicon on sapphire.

[0002]

[Description of the Prior Art] Generally as for luminescence devices, such as a light emitting diode and a laser diode, the semiconductor chip which is a source of luminescence is installed on the stem. GaAs, GaAlAs, GaP, etc. are known for red, orange, yellow, and green light emitting diode as an ingredient which constitutes the semiconductor chip. Although many semiconductor materials are studied about blue diode and blue laser diode, it is still the experimental stage and has not resulted in utilization. However, gallium nitride system compound semiconductors, such as GaN, InGaN, and GaAIN, attract attention as a practical blue luminescent material.

[0003] Conventionally, generally as an approach of dividing into a chip the wafer with which the laminating of the semiconductor material was carried out, the dicer or the scribe is used. After a dicer carries out full cutting of the wafer or cuts the slot of width larger than edge-of-a-blade width deeply in rotation of the disk which is also usually called a dicing saw and uses the edge of a blade as a diamond, it is equipment cut according to external force. a both-way rectilinear motion of the needle which uses a tip as a diamond with a scribe on the other hand — a scribe line (marking line) very thin to a wafer — for example, after lengthening in a grid pattern, it is equipment cut according to external force.

[0004]

[Problem(s) to be Solved by the Invention] Since there is cleavage in the "110" directions, using this property, the crystal of zinc structure which does not carry said GaP, GaAs, etc. is a scribe, and can be separated easily [the shape of a chip] by putting in a scribe line in this direction. however, the so-called hetero-epi structure by which the laminating of the gallium nitride system compound semiconductor is carried out on silicon on sapphire — it is — a gallium nitride system compound semiconductor and sapphire — lattice constant irregular ** — it is large. Furthermore, sapphire does not have cleavage on the property of a crystal called hexagonal system. Therefore, having cut with a scribe was impossible.

Moreover, since Mohs hardness was about 9 and the very hard matter, when full cutting of sapphire and the gallium nitride system compound semiconductor was carried out by the dicer, it becomes easy to generate a crack and a chipping in the cutting plane, and they were not able to be finely cut to it. Furthermore, when the cutting edge of a dicer touches a wafer cutting plane for a long time, stress (stress) arises in the longitudinal direction of a wafer. For this reason, since it became easy to generate a crack, a chipping, etc. in the interface of n type layer and p type layer and the crystallinity of an important gallium nitride system compound semiconductor was spoiled especially, there was a trouble that brightness will fall or a life will become very short.

[0005] Therefore, this invention is faced cutting the gallium nitride system compound semiconductor wafer which uses sapphire as a substrate in the shape of a chip, the crack of a cutting plane and an interface and generating of a chipping are prevented, and it has the luminescence engine performance which was excellent, without spoiling the crystallinity of a gallium nitride system compound semiconductor, and aims at offering the gallium nitride system compound semiconductor chip which can be cut with a sufficient yield in a desired form and size.

[0006]

[Means for Solving the Problem] The manufacture approach of the gallium nitride system compound semiconductor chip concerning this invention The process which is the approach of separating the wafer with which the laminating of the gallium nitride system compound semiconductor layer of n mold and p mold was carried out to order in the shape of a chip on silicon on sapphire, and grinds said silicon on sapphire to the thickness of 50-300 micrometers, The process at which the front face of said silicon on sapphire is exposed by etching said gallium nitride system compound semiconductor layer, It is characterized by including the process which forms a scribe line at the front face of said exposed silicon on sapphire in 5% or more of depth of the thickness of said silicon on sapphire, and the process divided into each chip in said scribe line. Moreover, by the manufacture approach of the gallium nitride system compound semiconductor chip concerning this invention, said scribe line may be formed by carrying out a scribe twice. The another manufacture approach of the gallium nitride system compound semiconductor chip concerning this invention The process which is the approach of separating the wafer with which the laminating of the gallium nitride system compound semiconductor layer of n mold and p mold was carried out to order in the shape of a chip on silicon on sapphire, and grinds said silicon on sapphire to the thickness of 50-300 micrometers, It is characterized by including the process at which the front face of said silicon on sapphire is exposed by etching said gallium nitride system compound semiconductor layer, and the process separated by carrying out the dicing of said silicon on sapphire in said exposed front face of silicon on sapphire.

[0007]

[Embodiment of the Invention] Hereafter, the manufacture approach of the gallium nitride system compound semiconductor chip of the gestalt 1 operation of this invention is explained in full detail, referring to a drawing. The process which the manufacture approach of the gestalt this operation is an approach of separating the wafer with which the laminating of the

gallium nitride system compound semiconductor of n mold and p mold was carried out to order on silicon on sapphire in the shape of a chip, grinds (1) silicon on sapphire, and is made thin, (2) It is characterized by providing the process which etches a part of p type layer to n type layer, and the process which cuts etching or the process which carries out dicing, and (4) silicon on sapphire by dicing or scribing to silicon on sapphire for (3) n type layer. With reference to a drawing, it explains below. Drawing 1 – drawing 6 are a gallium nitride system compound semiconductor wafer and the sectional view showing the structure of a component, and, as for silicon on sapphire and 2, 1 is [n mold gallium nitride system compound semiconductor layer (henceforth n type layer) and 3] p mold gallium nitride system compound semiconductor layers (henceforth p type layer). However, the approach of this invention is not applied only to the gallium nitride system compound semiconductor wafer of the structure of a drawing.

[0008] Usually, the thickness of n type layer 2 by which the laminating of the thickness of a gallium nitride system compound semiconductor wafer was carried out 400–800 micrometers and on it by silicon on sapphire 1, and p type layer 3 is at most about ten micrometers, and the most is occupied by the thickness of silicon on sapphire 1. Therefore, in the process of (1), it is desirable to grind silicon on sapphire 1 and to adjust the thickness to 50–300 micrometers. When thinner than 50 micrometers, it becomes and is in the inclination which curvature produces to a wafer that the whole wafer tends to break. Moreover, if thicker than 300 micrometers, in the process of (4), it will become easy to generate a chipping and a crack in silicon on sapphire in the case of cutting by dicing or scribing. Moreover, when carrying out scribing, in order to have to make a scribe line deep, there is an inclination for a fine chip to become impossible easily and for chip separation to become difficult. As still more desirable thickness of the ground substrate, it is 100–200 micrometers. In addition, the process of (1) may be performed after (2) or (3) process.

[0009] First, on silicon on sapphire 1, on p type layer 3 n type layer 2 and whose p type layer 3 are the maximum upper layers of the wafer by which the laminating was carried out to order, as shown in drawing 1, a protective coat 4 is formed. After it prepares a protective coat 4 in order to perform pattern etching and it carries out patterning by the photoresist while it prevents p type layer 3 being eaten away by etching, it can be formed using a plasma-CVD method with the ingredient of SiO₂ grade. In addition, in this drawing, silicon on sapphire 1 is ground beforehand and made thin.

[0010] Next, p type layer 3 in which the protective coat 4 was formed is etched to n type layer 2 ((2) processes). the etching approach — dry cleaning — wet — which approach may be used. As shown in drawing 2 after etching termination, an acid removes a protective coat 4.

[0011] furthermore, the tooth space which can prepare n mold electrode in the front face of n type layer 2 as shown in drawing 3 — leaving — n type layer 2 — up to silicon on sapphire 1 — etching — or dicing is carried out ((3) processes). Etching is desirable in order to make it not apply stress to the interface of n type layer 2 and silicon on sapphire 1 as much as possible. To etch, as mentioned above, it is necessary to form a protective coat in addition to an etching side (electrode formation parts of p type layer 3 and n type layer 2).

[0012] Next, as shown in drawing 4, after carrying out scribing of the silicon on sapphire exposed according to the process of (3) and putting in the scribe line (marking line) 5, a push rate is separated from a silicon-on-sapphire side ((4) processes). Since thickness of silicon on sapphire is made thin according to the process of (1), it is finely separable in the shape of a chip by putting in, pushing and breaking the scribe line 5. Although especially the depth of a scribe line is not specified, by putting in 5% or more of depth of the thickness of a substrate, sapphire without cleavage can also make a cutting plane a plane mostly, and can be cut preferably.

[0013] Moreover, as shown in drawing 5, direct full cutting of the silicon on sapphire 1 may be carried out by dicing. Also in this case, since silicon on sapphire 1 is beforehand made thin, dicing time amount can be shortened, and it can cut finely, without applying stress.

[0014] (Operation) Drawing 6 is the sectional view showing the condition of having formed the electrode 6 in n type layer 2 and p type layer 3 of the gallium nitride system compound semiconductor element separated by scribing or the dicing of a process of (4).

[0015] In this drawing, since the interface of n type layer 2 and p type layer 3, i.e., a p-n junction side, is etched, the stress by the conventional dicing does not start this interface, and most damages on a gallium nitride system compound semiconductor crystal cannot be found. Furthermore, also in the interface of silicon on sapphire 1 and n type layer 2, beforehand, according to the process of (1), since the cutting depth can be shortened even if it performs dicing, since it is etched to the middle of n type layer 2, the rate which stress requires decreases sharply as compared with the former. Therefore, the crack of the gallium nitride system compound semiconductor layer to which the gallium nitride system compound semiconductor chip obtained by the approach of this invention originates in grid mismatching, and the chipping are prevented, and crystallinity is held, without damaging a semiconducting crystal. Moreover, by grinding silicon on sapphire and making it thin, silicon on sapphire without cleavage can also be finely cut by the scribe, and there is an outstanding advantage that cutting time amount can be shortened also in dicing.

[0016]

[Example] Hereafter, an example explains the manufacture approach of the gallium nitride system compound semiconductor chip of this invention.

[0017] A pattern is formed by the photoresist at the p mold GaN layer of the GaN epitaxial wafer for light emitting diodes into which the n mold GaN layer and the p mold GaN layer were grown up by the thickness of 5 micrometers in all in order on the silicon on sapphire of 450 micrometers in [example 1] thickness, and magnitude [of 2 inches] phi.

[0018] After forming SiO₂ film by 0.1-micrometer thickness as a protective coat by the plasma-CVD method from on a photoresist, a photoresist is exfoliated with a solvent and it leaves SiO₂ film by which patterning was carried out.

[0019] A wafer is immersed in the mixed acid of a phosphoric acid and a sulfuric acid, and a p mold GaN layer is etched to an n mold GaN layer.

[0020] Silicon on sapphire is ground to 150 micrometers with a grinder after etching.

[0021] A wafer is installed in a dicing saw after polish, and the dicing of the predetermined cutline (350-micrometer angle) top is carried out in a depth of 20 micrometers in a diamond blade on condition that blade engine-speed 30,000rpm and cutting speed 0.3 mm/sec.

[0022] Next, adhesive tape is stuck on a substrate side, and it sticks on the table of a scriber, and fixes by the vacuum

chuck. A table moves to a x axis (right and left) and the y-axis (before or after), and has pivotable structure 180 degrees at the horizontal. After immobilization, the scribe of the marks of dicing is carried out with the diamond cutting edge of a scribe, and Rhine is lengthened. The bar with which the diamond cutting edge was formed has structure movable in the z-axis (upper and lower sides) and the direction of the y-axis (before or after). In order that the load to the edge of a blade of a diamond cutting edge may set to 100g and may make the depth of a scribe line deep, it is taken as a depth of 10 micrometers by carrying out the scribe of the same Rhine twice.

[0023] The GaN wafer which lengthened the scribe line was removed from the table; and the GaN chip was obtained by applying a pressure with a roller, pushing and dividing from a silicon-on-sapphire side.

[0024] Thus, when what is depended on a poor appearance from the obtained GaN chip was removed, the yield was 95% or more. Moreover, after attaching Au electrode in the p mold GaN layer of this GaN chip, and an n mold GaN layer, when it considered as light emitting diode according to the conventional method, in forward voltage 4.0V, the radiant power output was 50 microwatts and the luminescence life was 5000 hours or more.

[0025] After etching similarly the same GaN epitaxial wafer as the [example 1 of comparison] example 1 to an n mold GaN layer, when full cutting was similarly carried out to the chip of 350-micrometer angle on condition that blade engine-speed 30,000rpm and cutting speed 0.3 mm/sec using the direct dicer, without grinding silicon on sapphire, the countless crack arose to the cutting plane line, and the yield was 30% or less. Moreover, when Au electrode was attached as well as p type layer and n type layer of a GaN chip which remained and having been considered as light emitting diode, in forward voltage 4.0V, 20 microwatts of radiant power outputs and a luminescence life were 50 - 70 hours.

[0026]

[Effect of the Invention] As stated above, according to the approach of this invention, the pn junction section is separable without stress, and the extensive improvement was accepted in property degradation which had become a problem conventionally especially the luminescence life, and the radiant power output. moreover, the lattice constant of a gallium nitride system compound semiconductor and silicon on sapphire — since irregular, the crack of the crystal face to produce, a chipping, etc. can be prevented, a gallium nitride system compound semiconductor chip can be manufactured with a sufficient yield, and the utility value on the industry is large.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the structure of the gallium nitride system compound semiconductor wafer obtained in the process of the gestalt of 1 operation of this invention.

[Drawing 2] The sectional view showing the structure of the gallium nitride system compound semiconductor wafer obtained in the process of the gestalt of 1 operation of this invention.

[Drawing 3] The sectional view showing the structure of the gallium nitride system compound semiconductor wafer obtained in the process of the gestalt of 1 operation of this invention.

[Drawing 4] The sectional view showing the structure of the gallium nitride system compound semiconductor wafer obtained in the process of the gestalt of 1 operation of this invention.

[Drawing 5] The sectional view showing the structure of the gallium nitride system compound semiconductor wafer obtained in the process of the gestalt of 1 operation of this invention.

[Drawing 6] The sectional view showing the structure of the gallium nitride system compound semiconductor chip obtained in the process of the gestalt of 1 operation of this invention.

[Description of Notations]

- 1 Silicon on sapphire
- 2 n mold gallium nitride system compound semiconductor layer,
- 3 p mold gallium nitride system compound semiconductor layer,
- 4 Protective coat,
- 5 Scribe line,
- 6 Electrode.

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-338638
(P2003-338638A)

(43) 公開日 平成15年11月28日 (2003.11.28)

(51) Int.Cl.

H 01 L 33/00
H 01 S 5/02

識別記号

F I

H 01 L 33/00
H 01 S 5/02

データコード (参考)
C 5 F 0 4 1
5 F 0 7 3

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願2003-137162(P2003-137162)
(62) 分割の表示 特願平10-279386の分割
(22) 出願日 平成4年6月5日(1992.6.5)

(71) 出願人 000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100
(72) 発明者 岩佐 成人
徳島県阿南市上中町岡491番地100 日亜化
学工業株式会社内
(72) 発明者 長浜 慎一
徳島県阿南市上中町岡491番地100 日亜化
学工業株式会社内
(74) 代理人 100074354
弁理士 豊橋 康弘 (外1名)

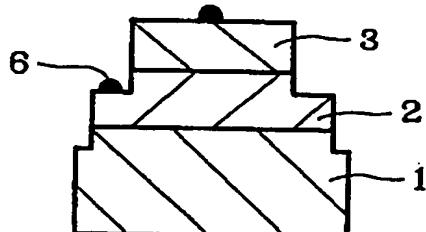
最終頁に続く

(54) 【発明の名称】 窒化ガリウム系化合物半導体チップの製造方法

(57) 【要約】

【課題】 優れた発光性能を有し、歩留良く所望の形、
サイズに切断することができる窒化ガリウム系化合物半
導体チップの製造方法を提供する。

【解決手段】 p型窒化ガリウム系化合物半導体層上面
の他に第1表面と第2表面とを有し、第1表面は、p型
窒化ガリウム系半導体層上面の外側に位置するp型窒化
ガリウム系半導体層を、n型窒化ガリウム系半導体層ま
でエッチングすることにより形成され、かつ第2表面
は、第1表面の外側に位置する上記n型窒化ガリウム系
半導体層をエッチングまたはダイシングすることにより
上記基板表面が露出するように形成する。



【特許請求の範囲】

【請求項1】 サファイア基板上にn型及びp型の窒化ガリウム系化合物半導体層が順に積層されたウエハーをチップ状に分離する方法であって、前記サファイア基板を50～300μmの厚さまで研磨する工程と、前記窒化ガリウム系化合物半導体層をエッティングすることで前記サファイア基板の表面を露出させる工程と、前記露出させたサファイア基板の表面に前記サファイア基板の厚さの5%以上の深さでスクライブラインを形成する工程と、前記スクライブラインにおいて各チップに分離する工程とを含む窒化ガリウム系化合物半導体チップの製造方法。

【請求項2】 前記スクライブラインは、2回スクライブすることにより形成された請求項1記載の窒化ガリウム系化合物半導体チップの製造方法。

【請求項3】 サファイア基板上にn型及びp型の窒化ガリウム系化合物半導体層が順に積層されたウエハーをチップ状に分離する方法であって、

前記サファイア基板を50～300μmの厚さまで研磨する工程と、

前記窒化ガリウム系化合物半導体層をエッティングすることで前記サファイア基板の表面を露出させる工程と、前記露出させたサファイア基板の表面において前記サファイア基板をダイシングすることにより分離する工程とを含む窒化ガリウム系化合物半導体チップの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は青色発光ダイオード、青色レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体チップに係り、特に、サファイア基板上に積層された窒化ガリウム系化合物半導体の結晶性を損ねること無くチップ状に分離された窒化ガリウム系化合物半導体チップに関する。

【0002】

【従来の技術】 一般に発光ダイオード、レーザダイオード等の発光デバイスはステム上に発光源である半導体チップが設置されている。その半導体チップを構成する材料として、例えば赤色、橙色、黄色、緑色発光ダイオードではGaN、GaAlAs、GaP等が知られている。青色ダイオード、青色レーザーダイオードについては、数々の半導体材料が研究されているが、未だ実験段階であり実用化には至っていない。しかし、実用的な青色発光材料として、GaN、InGaN、GaAIN等の窒化ガリウム系化合物半導体が注目されている。

【0003】 従来、半導体材料が積層されたウエハーをチップに分離する方法としては一般にダイサー、またはスクライバーが使用されている。ダイサーとは通常ダイシングソーとも呼ばれ、刃先をダイヤモンドとする円盤

の回転運動により、ウエハーをフルカットするか、または刃先巾よりも広い巾の溝を切り込んだ後、外力によってカットする装置である。一方、スクライバーとは先端をダイヤモンドとする針の往復直線運動によりウエハーに極めて細いスクライブライン（墨書き線）を、例えば基盤目状に引いた後、外力によってカットする装置である。

【0004】

【発明が解決しようとする課題】 前記GaN、GaN等のせん亜鉛構造の結晶はへき開性が「110」方向にあるため、この性質を利用してスクライバーで、この方向にスクライブラインを入れることによりチップ状に簡単に分離できる。しかしながら、窒化ガリウム系化合物半導体はサファイア基板の上に積層されるいわゆるヘテロエビ構造であり、窒化ガリウム系化合物半導体とサファイアとは格子定数不整が大きい。さらに、サファイアは六方晶系という結晶の性質上、へき開性を有していない。従って、スクライバーで切断することは不可能であった。また、サファイア、窒化ガリウム系化合物半導体ともモース硬度がほぼ9と非常に硬い物質であるため、ダイサーでフルカットすると、その切断面にクラック、チッピングが発生しやすくなり、綺麗に切断できなかつた。さらに、ダイサーの刃が長時間ウエハ一切断面に接することにより、ウエハーの横方向に応力（ストレス）が生じる。このため、特にn型層とp型層との界面にクラック、チッピング等が発生しやすくなり、肝心の窒化ガリウム系化合物半導体の結晶性を損ねてしまうため、輝度が低下したり、寿命が非常に短くなってしまうという問題点があった。

【0005】 従って、本発明はサファイアを基板とする窒化ガリウム系化合物半導体ウエハーをチップ状にカットするに際し、切断面、界面のクラック、チッピングの発生を防止し、窒化ガリウム系化合物半導体の結晶性が損なわれることなく優れた発光性能を有し、歩留良く所望の形、サイズに切断することができる窒化ガリウム系化合物半導体チップを提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明に係る窒化ガリウム系化合物半導体チップの製造方法は、サファイア基板上にn型及びp型の窒化ガリウム系化合物半導体層が順に積層されたウエハーをチップ状に分離する方法であって、前記サファイア基板を50～300μmの厚さまで研磨する工程と、前記窒化ガリウム系化合物半導体層をエッティングすることで前記サファイア基板の表面を露出させる工程と、前記露出させたサファイア基板の表面に前記サファイア基板の厚さの5%以上の深さでスクライブラインを形成する工程と、前記スクライブラインにおいて各チップに分離する工程とを含むことを特徴とする。また、本発明に係る窒化ガリウム系化合物半導体チップ

ップの製造方法では、前記スクライブラインは、2回スクライブすることにより形成されていてもよい。本発明に係る窒化ガリウム系化合物半導体チップの別の製造方法は、サファイア基板上にn型及びp型の窒化ガリウム系化合物半導体層が順に積層されたウエハーをチップ状に分離する方法であって、前記サファイア基板を50～300μmの厚さまで研磨する工程と、前記窒化ガリウム系化合物半導体層をエッティングすることで前記サファイア基板の表面を露出させる工程と、前記露出させたサファイア基板の表面において前記サファイア基板をダイシングすることにより分離する工程とを含むことを特徴とする。

【0007】

【発明の実施の形態】以下、本発明の一実施の形態の窒化ガリウム系化合物半導体チップの製造方法を図面を参照しながら詳説する。本実施の形態の製造方法は、サファイア基板上にn型およびp型の窒化ガリウム系化合物半導体が順に積層されたウエハーをチップ状に分離する方法であって、(1) サファイア基板を研磨して薄くする工程と、(2) p型層の一部をn型層までエッティングする工程と、(3) n型層をサファイア基板までエッティングまたはダイシングする工程と、(4) サファイア基板をダイシング、またはスクライビングにより切断する工程と、を具備することを特徴とするものである。以下図面を参照して説明する。図1～図6は窒化ガリウム系化合物半導体ウエハー、および素子の構造を示す断面図であり、1はサファイア基板、2はn型窒化ガリウム系化合物半導体層(以下n型層という。)、3はp型窒化ガリウム系化合物半導体層(以下p型層という。)である。但し、本発明の方法は、図面の構造の窒化ガリウム系化合物半導体ウエハーにのみ適用されるものではない。

【0008】通常、窒化ガリウム系化合物半導体ウエハーの厚さは、サファイア基板1で400～800μm、その上に積層されたn型層2、およびp型層3の厚さは多くても十数μmであり、そのほとんどがサファイア基板1の厚さで占められている。従って、(1)の工程において、サファイア基板1を研磨して、その厚さを50～300μmに調整することが好ましい。50μmよりも薄いと、ウエハー全体が割れ易くなったり、またウエハーに反りが生じる傾向にある。また、300μmよりも厚いと、(4)の工程において、ダイシング、またはスクライビングによる切断の際にサファイア基板にチッピング、クラックが発生しやすくなる。またスクライビングする場合は、スクライブラインを深くしなければならないため、細かいチップができにくくなり、チップ分離が困難になる傾向がある。研磨された基板のさらに好ましい厚さとしては100～200μmである。なお、(1)の工程は(2)、(3)の工程の後に行つてもよい。

【0009】まず、サファイア基板1上に、n型層2、およびp型層3が順に積層されたウエハーの、最上層であるp型層3上に、図1に示すように保護膜4を設ける。保護膜4はp型層3がエッティングにより侵食されるのを防ぐと共に、パターンエッティングを行うために設けるものであって、フォトレジストでパターニングした後、例えばSiO₂等の材料でプラズマCVD法を用いて形成することができる。なお、この図においてサファイア基板1は予め研磨して薄くしてある。

【0010】次に、保護膜4が設けられたp型層3を、n型層2までエッティングする((2)の工程)。エッティング方法はドライ、ウェットいずれの方法でもよい。エッティング終了後、図2に示すように、酸により保護膜4を除去する。

【0011】さらに、図3に示すように、n型層2の表面にn型電極を設けられるスペースを残して、n型層2をサファイア基板1までエッティング、またはダイシングする((3)の工程)。n型層2とサファイア基板1の界面にできるだけストレスをかけないようにするには、エッティングが好ましい。エッティングする場合には、前述したように保護膜をエッティング面以外(p型層3とn型層2の電極形成部分)に形成する必要がある。

【0012】次に、図4に示すように、(3)の工程により露出されたサファイア基板をスクライビングして、スクライブライン(黒書線)5を入れた後、サファイア基板側から押し割って分離する((4)の工程)。

(1)の工程によりサファイア基板の厚さを薄くしているため、スクライブライン5を入れて押し割ることによって、綺麗にチップ状に分離することができる。スクライブラインの深さは特に規定するものではないが、基板の厚さの5%以上の深さで入れることにより、へき開性の無いサファイアでも切断面をほぼ平面状とができる、好ましく切断できる。

【0013】また、図5に示すように、ダイシングによりサファイア基板1を直接フルカットしてもよい。この場合においても、サファイア基板1を予め薄くしてあるためダイシング時間を短縮でき、ストレスをかけずに綺麗に切断できる。

【0014】(作用)図6は、(4)の工程のスクライビングまたはダイシングによって分離された窒化ガリウム系化合物半導体素子のn型層2、およびp型層3に電極6を形成した状態を示す断面図である。

【0015】この図において、n型層2とp型層3の界面、即ち、p-n接合面はエッティングされているため、この界面には従来のダイシングによるストレスはかかるはずでない。窒化ガリウム系化合物半導体結晶の損傷はほとんど無い。さらに、サファイア基板1とn型層2の界面においても、予め(1)の工程により、n型層2の途中までエッティングされているため、ダイシングを行うにしても、その切断深さを短くすることができるため、ス

トレスのかかる割合が従来に比して大幅に減少する。従って、本発明の方法により得られた窒化ガリウム系化合物半導体チップは、格子不整合に起因するクラック、チッピングが防止されており、半導体結晶を損傷すること無く結晶性が保持されている。また、サファイア基板を研磨して薄くすることにより、へき開性のないサファイア基板でもスクライブで綺麗に切断でき、またダイシングにおいても切断時間を短縮できるという優れた利点がある。

【0016】

【実施例】以下、本発明の窒化ガリウム系化合物半導体チップの製造方法を実施例で説明する。

【0017】【実施例1】厚さ $450\mu\text{m}$ 、大きさ2インチのサファイア基板上に、順にn型GaN層とp型GaN層を合わせて $5\mu\text{m}$ の厚みで成長させた発光ダイオード用のGaNエピタキシャルウェハーのp型GaN層に、フォトレジストでパターンを形成する。

【0018】フォトレジストの上からプラズマCVD法により保護膜としてSiO₂膜を $0.1\mu\text{m}$ の膜厚で形成した後、溶剤によりフォトレジストを剥離して、パターニングされたSiO₂膜を残す。

【0019】ウェハーをリン酸と硫酸の混酸に浸漬し、p型GaN層をn型GaN層までエッチングする。

【0020】エッチング後、研磨機にてサファイア基板を $150\mu\text{m}$ まで研磨する。

【0021】研磨後、ウェハーをダイシングソーに設置し、ブレード回転数 $30,000\text{r.p.m.}$ 、切断速度 0.3mm/sec の条件で、ダイヤモンドブレードにて、所定のカットライン($350\mu\text{m}$ 角)上を $20\mu\text{m}$ の深さでダイシングする。

【0022】次に、基板側に粘着テープを貼付し、スクライバーのテーブル上に張り付け、真空チャックで固定する。テーブルはx軸(左右)、y軸(前後)に動き、180度水平に回転可能な構造となっている。固定後、スクライバーのダイヤモンド刃でダイシングの跡をスクライブしてラインを引く。ダイヤモンド刃が設けられたバーはz軸(上下)、y軸(前後)方向に移動可能な構造となっている。ダイヤモンド刃の刃先への加重は 100g とし、スクライブラインの深さを深くするため、同一のラインを2回スクライブすることにより深さ $10\mu\text{m}$ とする。

【0023】スクライブラインを引いたGaNウェハーをテーブルから剥し取り、サファイア基板側からローラーにより圧力を加えて、押し割ることによりGaNチップを得た。

【0024】このようにして得られたGaNチップより外形不良によるものを取り除いたところ、歩留は95%以上であった。また、このGaNチップのp型GaN層、およびn型GaN層にAu電極を取り付けた後、常

法に従い発光ダイオードとしたところ、順方向電圧 4.0V において、発光出力は $50\mu\text{W}$ 、発光寿命は500時間以上であった。

【0025】【比較例1】実施例1と同一のGaNエピタキシャルウェハーを、同様にしてn型GaN層までエッチングした後、サファイア基板を研磨せずに、直接ダイサーを用い、同じくブレード回転数 $30,000\text{r.p.m.}$ 、切断速度 0.3mm/sec の条件で、 $350\mu\text{m}$ 角のチップにフルカットしたところ、切断線に対し無数のクラックが生じ、歩留は30%以下であった。また、残ったGaNチップのp型層およびn型層に同じくAu電極を取り付け、発光ダイオードとしたところ、順方向電圧 4.0V において、発光出力 $20\mu\text{W}$ 、発光寿命は50~70時間であった。

【0026】

【発明の効果】以上述べたように、本発明の方法によると、pn接合部はストレス無く分離できることで、従来問題となっていた特性劣化、特に発光寿命、発光出力において大幅な改善が認められた。また、窒化ガリウム系化合物半導体とサファイア基板との格子定数不整から生じる、結晶面のクラック、チッピング等を防止でき、窒化ガリウム系化合物半導体チップを歩留良く製造でき、その産業上の利用価値は大きい。

【図面の簡単な説明】

【図1】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図2】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図3】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図4】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

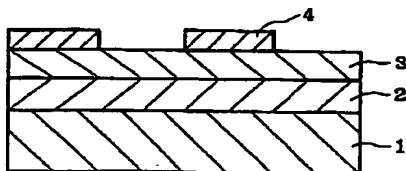
【図5】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図6】本発明の一実施の形態の工程において得られる窒化ガリウム系化合物半導体チップの構造を示す断面図。

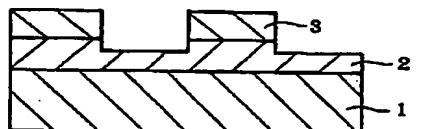
【符号の説明】

- 1 ······ サファイア基板、
- 2 ······ n型窒化ガリウム系化合物半導体層、
- 3 ······ p型窒化ガリウム系化合物半導体層、
- 4 ······ 保護膜、
- 5 ······ スクライブライン、
- 6 ······ 電極。

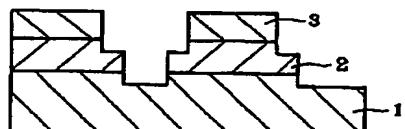
【図1】



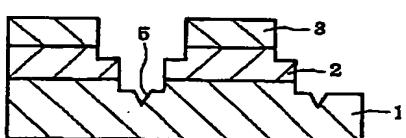
【図2】



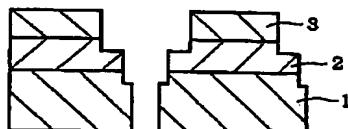
【図3】



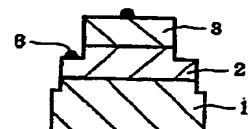
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜化
学工業株式会社内

Fターム(参考) 5F041 AA03 AA41 CA03 CA40 CA74

CA76

5F073 CA02 CB05 DA21 DA34 EA28